

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

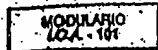
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Mod. C.E. - 1-4-7

J1017 U.S. PRO

09/982132



10/16/01

Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

Ufficio Italiano Brevetti e Marchi

Ufficio G2



Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N.

N. 12000 A 002283

*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopra specificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Roma, li



IL DIRIGENTE

Ing. Giorgio ROMANO

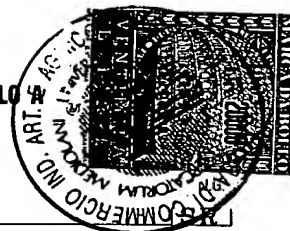
Giorgio Romano

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO



A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l.
Residenza Agrate Brianza (Milano) codice 00951900968
2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome FERRARI Barbara e altri cod. fiscale _____
denominazione studio di appartenenza Botti & Ferrari S.r.l.
via Locatelli n. 5 città Milano cap 20124 (prov) MI

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/sci) _____ gruppo/sottogruppo _____/_____

Sistema di gestione di una pluralità di moduli VRM e relativo
metodo di sincronizzazione.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA _____/_____/____ N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) CASTELLI CLAUDIA 3) _____
2) ZAFARANA ALESSANDRO 4) _____

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

1) _____
2) _____

SCIOGLIMENTO RISERVE

Data _____ N° Protocollo _____

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 24 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) _____
Doc. 2) 2 PROV n. tav. 05 disegno (obbligatorio se citato in descrizione, 1 esemplare) _____
Doc. 3) 1 RIS lettera d'incarico, procura o riferimento a procura generale XXXXXXXXXXXXXXXXXXXX
Doc. 4) 0 RIS designazione inventore _____
Doc. 5) 0 RIS documenti di priorità con traduzione in italiano _____
Doc. 6) 0 RIS autorizzazione o atto di cessione _____
Doc. 7) 0 nominativo completo del richiedente _____

8) attestati di versamento, totale lire Cinquecentosessantacinquemila= obbligatorio

COMPILATO IL 16/10/2000 FIRMA DEL(I) RICHIEDENTE(I) Ferrari Barbara

CONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO LSII



SCIOGLIMENTO RISERVE

Data _____ N° Protocollo _____

confronta singole priorità

CIAA UFFICIO PROVINCIALE IND. COMM. ART. DI MILANO codice 15

VERBALE DI DEPOSITO NUMERO DI DOMANDA MI2000A 002233 Reg. A.

L'anno duemila, il giorno SEDICI, del mese di OTTOBRE

Il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata di _____ fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

UFFICIO

L'UFFICIALE ROGANTE

M. CORTONSI

MI 2000 A 00 22 33

REG. A

DATA DI DEPOSITO

16, 10, 2000

NUMERO BREVETTO

DATA DI RILASCIO

11/11/11

Sistema di gestione di una pluralità di moduli VRM e relativo metodo di sincronizzazione.

L. BIASUNTO

L'invenzione fa riferimento ad un sistema di gestione (10) di una pluralità di moduli VRM (1) associati ad una pluralità di microprocessori e collegati, in parallelo tra loro, tra un primo (VDD) ed un secondo riferimento di tensione (GND), i moduli VRM (1) avendo terminali di uscita collegati insieme e comunicanti attraverso un medesimo bus comune (5). Il sistema di gestione (10) secondo l'invenzione comprende almeno un amplificatore di errore (3), ricevente in ingresso un segnale di tensione di uscita (Vout) della pluralità di moduli VRM (1) ed una tensione di riferimento (Vref), nonché una tensione di caduta (Vdroop) ottenuta tramite una resistenza equivalente di caduta (Rdroop) che riceve un segnale di corrente d'uscita (Iout) della pluralità di moduli VRM (1) ed è collegata al bus comune (5), mentre l'amplificatore di errore (3) effettua il confronto dei segnali d'ingresso per generare un segnale di tensione di controllo (Vcontrol) per la pluralità di moduli VRM. Vantaggiosamente secondo l'invenzione il sistema di gestione (10) comprendere almeno un controllore (4) collegato alla resistenza equivalente di caduta (Rdroop).

L'invenzione si riferisce inoltre ad un metodo di sincronizzazione di una pluralità di moduli VRM e ad un circuito di sincronizzazione implementante lo stesso.

M. DISEGNO

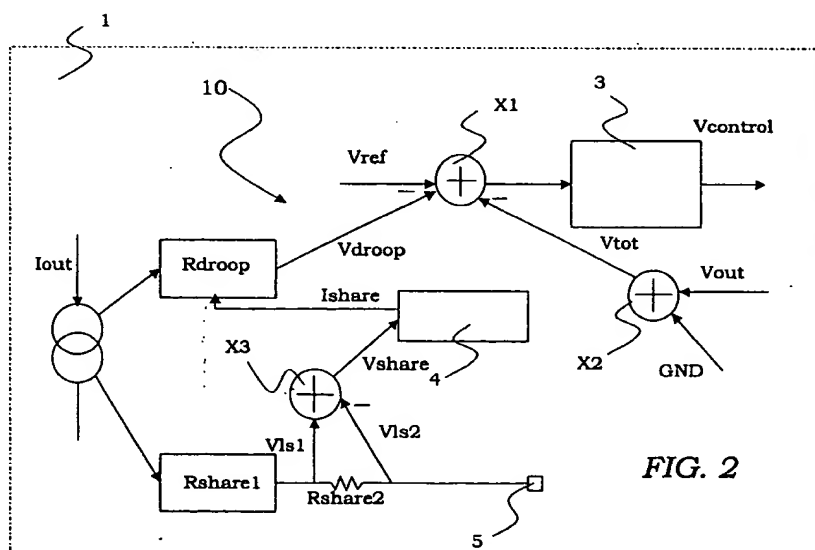


FIG. 2

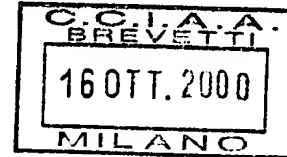
Domanda di brevetto per invenzione industriale dal titolo:

"Sistema di gestione di una pluralità di moduli VRM e relativo metodo di sincronizzazione"

a nome di: **STMicroelectronics S.r.l.**

5 con sede in: **Agrate Brianza (Milano)**

* * * * *



DESCRIZIONE

MI 2000 A 002233

Campo di applicazione

La presente invenzione fa riferimento ad un sistema di
10 gestione di una pluralità di moduli VRM e relativo metodo di
sincronizzazione.

Più specificatamente l'invenzione si riferisce ad un sistema di
gestione di una pluralità di moduli VRM associati ad una pluralità di
microprocessori e collegati, in parallelo tra loro, tra un primo ed un
15 secondo riferimento di tensione, detti moduli VRM avendo terminali di
uscita collegati insieme e comunicanti attraverso un medesimo bus
comune, detto sistema di gestione comprendendo almeno un
amplificatore di errore, ricevente in ingresso un segnale di tensione di
uscita di detta pluralità di moduli VRM ed una tensione di riferimento,
20 nonché una tensione di caduta ottenuta tramite una resistenza
equivalente di caduta che riceve un segnale di corrente d'uscita di detta
pluralità di moduli VRM ed è collegata a detto bus comune, detto
amplificatore di errore effettuando il confronto di detti segnali d'ingresso
per generare un segnale di tensione di controllo per detta pluralità di
25 moduli VRM.

L'invenzione fa altresì riferimento ad un metodo di sincronizzazione di una pluralità di moduli VRM associati ad una pluralità di microprocessori e collegati, in parallelo tra loro, tra un primo ed un secondo riferimento di tensione, detti moduli VRM avendo
5 terminali di uscita collegati ad una medesima linea di bus, nonché ad un circuito di sincronizzazione implementante tale metodo.

Arte nota

Come è ben noto, architetture ad alimentazione distribuita presentano numerosi vantaggi in sistemi basati su microprocessore. In
10 sistemi di questo tipo è necessario utilizzare regolatori di corrente di carico, ad esempio del tipo cosiddetto point-of-load, per ottenere gli alti valori di precisione ed al contempo il carico dinamico necessario ai microprocessori.

Le architetture a microprocessore degli ultimi anni utilizzano
15 in realtà moduli a regolazione di tensione, cosiddetti moduli VRM (dall'espressione anglosassone "Voltage Regulator Modules") al posto di tali regolatori di tipo punto di carico [point-of-load]. Infatti tali moduli VRM garantiscono una corretta gestione delle tensioni e sono al contempo completi di fattore di forma standard e specifiche di
20 prestazione e quindi più facilmente gestibili da utenti finali diversi, con differenti esigenze.

In particolare, i sistemi a multiprocessore per computer quali Server e Workstation utilizzano pluralità di microprocessori al fine di soddisfare alle esigenze di tali piattaforme. Tali sistemi utilizzano per la
25 gestione delle tensioni interne un modulo VRM associato ad ogni

microprocessore. In tal modo, infatti, il sistema nel suo complesso presenta un'adeguata modularità ed economia di scala.

I sistemi a multiprocessore di tipo noto comprendono una pluralità di microprocessori collegati a medesimi riferimenti di tensione di alimentazione VDD e di massa GND. E' infatti opportuno alimentare
5 tutti i microprocessori tramite un percorso comune tra alimentazione e massa per migliorare la velocità e l'integrità dei segnali di interconnessione fra essi.

Inoltre i moduli VRM presentano normalmente terminali di uscita su un piano comune: essi necessitano quindi di un metodo di
10 gestione che assicuri la condivisione equa delle loro porzioni di carico, ed in particolare la suddivisione in parti uguali della corrente di carico, ottenendo in tal modo un corretto funzionamento della connessione parallela.

E' opportuno ricordare, infatti, che le unità di processamento (CPU) comprendenti tali microprocessori assorbono diversi livelli di corrente a seconda della loro condizione operativa. Il controllo della distribuzione della corrente mediante l'uguaglianza dei livelli di carico dei moduli VRM consente quindi una maggiore affidabilità grazie alla
15 riduzione dei picchi termini dei singoli moduli VRM nonché una migliore risposta ai transitori di carico.

Per un corretto funzionamento di tali sistemi a multiprocessore occorre inoltre garantire l'interoperabilità fra i moduli VRM in tutte le condizioni di funzionamento, quali, ad esempio, le
25 condizioni iniziali d'accensione (StartUp, SoftStart), l'intervento dei

meccanismi di protezione dei moduli (ad esempio nel caso di sovraccarico OCP o sovratensione OVP), le condizioni di reinizializzazione e di cortocircuito del piano d'uscita dei moduli parallelati (HICCUP).

5 Sono note essenzialmente due diverse tecniche in grado di implementare il parallelismo di una pluralità di moduli VRM: il metodo Master-Slave ed il metodo di condivisione di corrente cosiddetto di average.

10 In particolare, un sistema di gestione delle correnti per moduli VRM noto del tipo sopra descritto ed utilizzante una tecnica di condivisione di corrente è descritto ad esempio nell'articolo tecnico di M. Walters dal titolo "Current Sharing Technique for VRMs" pubblicato dalla Intersil Corp. nel maggio 2000 e schematicamente illustrato in Figura 1.

15 Secondo tale articolo, ogni modulo VRM 1 comprende un sistema di gestione 2 a sua volta comprendente un amplificatore di errore 3.

20 Tale amplificatore di errore 3 riceve in ingresso un segnale di tensione di uscita V_{out} del modulo VRM 1 ed una tensione di riferimento V_{ref} e ne effettua il confronto per generare un segnale di tensione di controllo $V_{control}$ per il modulo VRM 1.

In particolare, l'amplificatore di errore 3 è collegato in ingresso ad un primo nodo sommatore $X1$ ricevente come addendo positivo la tensione di riferimento V_{ref} e come addendi negativi una tensione totale
25 V_{tot} risultato della sommatoria effettuata da un secondo nodo



sommatore X2 fra il segnale di tensione di uscita Vout dal modulo VRM 1 ed un riferimento di tensione di alimentazione, ad esempio una massa GND, nonché una tensione di caduta Vdroop ed una tensione di controllo Vshare.

5 Infatti, il sistema di gestione 2 comprende una resistenza equivalente di caduta Rdroop ricevente un segnale di corrente d'uscita Iout del modulo VRM 1 e collegata a detto primo nodo sommatore X1 a cui fornisce la tensione di caduta Vdroop.

10 Inoltre, il segnale di corrente di uscita Iout del modulo VRM 1 viene inviato ad una prima resistenza di controllo Rshare1, atta a fornire una prima tensione di controllo locale o di local share Vls1 ad un terzo nodo sommatore X3, a sua volta collegato ad un controllore 4 atto a fornire al primo nodo sommatore X1 la tensione di controllo Vshare.

15 Il terzo nodo sommatore X3 riceve in ingresso, come addendo negativo, una seconda tensione di controllo locale Vls2 ottenuta da una seconda resistenza di controllo Rshare2, in serie a detta prima resistenza di controllo Rshare1 e collegata ad un bus comune 5 detto di current sharing.

20 Vediamo ora come funziona il sistema di gestione 2 secondo l'arte nota, come illustrato in Figura 1.

 L'informazione sulla corrente di uscita Iout dal modulo VRM 1 viene utilizzata per spostare il riferimento dell'anello di controllo in modo proporzionale al carico (il cosiddetto voltage positioning) tramite la
25 resistenza equivalente di caduta Rdroop. Inoltre tale corrente di uscita

Iout viene convertita in tensione Vls1, Vls2 tramite le resistenze di controllo Rshare1, Rshare2 ed utilizzata nell'anello di controllo [current sharing loop] del sistema di gestione 2, comprendente essenzialmente il controllore 4 e l'amplificatore di errore 3.

5 Inoltre, all'interno di ciascun modulo 1 la prima tensione di controllo locale Vls1 viene portata, tramite la seconda resistenza di controllo Rshare2, al bus comune 5, la tensione su tale bus risultando così proporzionale alla corrente media di tutti i moduli 1 e la differenza di tensione Vls2 ai capi di tale seconda resistenza di controllo Rshare2
10 risulta proporzionale alla differenza fra la corrente del singolo modulo 1 e detta corrente media.

 Questa informazione relativa al singolo modulo 1 rispetto alla media di tutti i moduli viene inviata al controllore 4 e quindi, tramite il primo nodo sommatore X1, all'amplificatore di errore 3, il cui segnale
15 errore d'uscita, opportunamente amplificato e filtrato in modo noto, viene utilizzato per spostare il feedback dell'amplificatore di errore 3 stesso e per generare il segnale di tensione di controllo Vcontrol.

 Si ha così che il segnale di tensione regolato Vout in uscita da ciascun modulo 1 risulta dato da:

20
$$V_{out} = V_{ref} - V_{droop} - V_{share}.$$

 E' opportuno notare inoltre che la tensione di caduta Vdroop è proporzionale al segnale di corrente di uscita Iout, mentre la tensione di controllo Vshare risulta proporzionale al rapporto Iload/N-Iout, dove N è il numero di moduli VRM 1 in parallelo nel sistema a microprocessore
25 ed Iload è la corrente di carico.

In conclusione, la tensione di controllo Vshare consente di correggere gli sbilanciamenti fra i diversi moduli VRM 1 e di uguagliarne quindi le correnti d'uscita.

5 Pur vantaggiosa sotto vari aspetti, questa prima soluzione presenta vari inconvenienti. In particolare, le somme fra i segnali interni al modulo VRM 1 devono essere effettuate in tensione e quindi richiedono l'impiego di amplificatori che peggiorano la risposta dinamica e la precisione dei moduli VRM 1 e del sistema a microprocessore nel suo complesso.

10 Anche l'utilizzo di eventuali resistenze aggiuntive per effettuare le somme in maniera passiva comporta una riduzione dei singoli contributi, che richiederebbero quindi pre-amplificazioni che complicano la struttura del sistema di gestione 2.

15 Nel caso di sistemi a multiprocessore comprendenti una pluralità di moduli VRM sorge inoltre il problema della sincronizzazione dei singoli moduli VRM in parallelo, problema che diventa molto importante aumentando il numero di moduli impiegati.

20 Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un sistema di gestione di una pluralità di moduli VRM associati ad un sistema multiprocessore, avente caratteristiche strutturali e funzionali tali da consentire di superare le limitazioni e gli inconvenienti che tuttora affliggono le soluzioni realizzate secondo l'arte nota.

Sommario dell'invenzione

25 L'idea di soluzione che sta alla base della presente invenzione

è quella di utilizzare una tensione di controllo interna per modificare la tensione di caduta e quindi il segnale di tensione di controllo di ogni modulo VRM.

5 Sulla base di tale idea di soluzione il problema tecnico è risolto da un sistema di gestione del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

Il problema è altresì risolto da un metodo di sincronizzazione dei moduli VRM del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 6.

10 Le caratteristiche ed i vantaggi del sistema e del metodo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di loro esempi di realizzazione dati a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

15 In tali disegni:

- la Figura 1 mostra schematicamente un sistema di gestione di moduli VRM secondo l'arte nota;
- la Figura 2 mostra schematicamente un sistema di gestione di moduli VRM secondo l'invenzione;
- 20 - la Figura 3 mostra schematicamente un esempio di realizzazione del sistema di Figura 2;
- la Figura 4 mostra schematicamente il metodo di sincronizzazione di moduli VRM secondo l'invenzione.
- la Figura 5 mostra schematicamente un esempio di
- 25 realizzazione di un circuito di sincronizzazione utilizzando il metodo di



Figura 4.

Descrizione dettagliata

Con riferimento a tali figure, ed in particolare alla Figura 2, un sistema di gestione di una pluralità di moduli VRM secondo l'invenzione
5 è complessivamente e schematicamente indicato con 10.

Per chiarezza di descrizione, sono stati mantenuti identici riferimenti numerali per gli elementi strutturalmente e funzionalmente identici presenti anche nel sistema di gestione secondo l'arte nota, come illustrato in Figura 1.

10 Il sistema di gestione 10 di una pluralità di moduli VRM 1 secondo l'invenzione comprende quindi un amplificatore di errore 3, ricevente in ingresso un segnale di tensione di uscita V_{out} di ogni modulo VRM 1 ed una tensione di riferimento V_{ref} .

Tale amplificatore di errore 3 effettua il confronto dei segnali
15 ricevuti in ingresso e genera un segnale di tensione di controllo $V_{control}$ per il modulo VRM 1.

In particolare, l'amplificatore di errore 3 è collegato in ingresso ad un primo nodo sommatore $X1$ ricevente come addendo positivo la tensione di riferimento V_{ref} e come addendi negativi una tensione totale
20 V_{tot} risultato della sommatoria effettuata da un secondo nodo sommatore $X2$ fra il segnale di tensione di uscita V_{out} dal modulo VRM 1 ed un riferimento di tensione di alimentazione, ad esempio una massa GND, nonché una tensione di caduta V_{droop} .

Il sistema di gestione 10 comprende inoltre una resistenza
25 equivalente di caduta R_{droop} ricevente un segnale di corrente d'uscita

Iout del modulo VRM 1 e collegata a detto primo nodo sommatore X1 a cui fornisce la tensione di caduta V_{droop} .

Inoltre, il segnale di corrente di uscita Iout del modulo VRM 1 viene inviato ad una prima resistenza di controllo Rshare1, atta a
5 fornire una prima tensione di controllo locale o di local share V_{ls1} ad un terzo nodo sommatore X3, a sua volta collegato ad un controllore 4.

Il terzo nodo sommatore X3 riceve in ingresso, come addendo negativo, una seconda tensione di controllo locale V_{ls2} ottenuta da una seconda resistenza di controllo Rshare2, in serie a detta prima
10 resistenza di controllo Rshare1 e collegata ad un bus comune 5 detto di current sharing.

Vantaggiosamente secondo l'invenzione, il controllore 4 riceve in ingresso la tensione di controllo Vshare e fornisce in uscita una corrente di controllo interna Ishare direttamente alla resistenza
15 equivalente di caduta R_{droop} .

In Figura 3 è illustrato un esempio di realizzazione del sistema di gestione 10 secondo l'invenzione, dato a titolo d'esempio non limitativo, possibili sostituzioni di componenti e configurazioni essendo immediatamente evidenti al tecnico del ramo.

20 Il sistema di gestione 10 comprende un amplificatore di errore 3 avente un primo terminale di ingresso I1 ricevente la tensione di riferimento V_{ref} ed un terminale di uscita OUT collegato in retroazione ad un secondo terminale di ingresso I2 tramite un condensatore C.

Tale secondo terminale di ingresso I2 è inoltre collegato ad un
25 nodo circuitale interno Y, ricevente sia una corrente di caduta I_{droop} ,

vale a dire una corrente proporzionale al carico del modulo VRM 1 e quindi alla corrente di uscita Iout, sia un corrente di controllo interna Ishare; la somma delle due correnti (Idroop+Ishare) attraversa quindi una resistenza di retroazione Rfb.

5 Vantaggiosamente secondo l'invenzione, tale nodo circuitale interno Y è inoltre collegato ad un sotto-sistema di compensazione 11, a sua volta comprendente una resistenza di compensazione Rc ricevente la somma della tensione di controllo Vshare e della tensione di riferimento Vref.

10 In questo caso, il segnale di tensione di uscita Vout regolata di ogni modulo VRM 1 risulta pari a:

$$Vout = Vref - Idroop \cdot Rfb - Vshare \cdot Rfb / Rc$$

dove risulta comunque verificato che:

$$Rdroop = Idroop \cdot Rfb / Iout \text{ e } Ishare = Vshare / Rc.$$

15 In altre parole, la resistenza equivalente di caduta Rdroop è pari alla resistenza di retroazione Rfb moltiplicata per il fattore di lettura in corrente del modulo VRM (Idroop/Iout).

E' opportuno notare che il valore della corrente di caduta Idroop è proporzionale al valore del segnale di corrente di uscita Iout del
20 modulo VRM 1, mentre la tensione di controllo Vshare risulta proporzionale al rapporto Iload/N-Iout, essendo N il numero di moduli VRM 1 posti in parallelo.

Vediamo ora il funzionamento del sistema di gestione 10 di una pluralità di moduli VRM 1 in parallelo secondo l'invenzione.

25 A differenza delle soluzioni note, la tensione di controllo

Vshare, vale a dire il segnale errore dell'anello di controllo o loop di current sharing, agisce modificando la corrente di caduta Idroop, come esplicitato in Figura 3.

Quindi, il sistema di gestione 10 secondo l'invenzione presenta
5 il vantaggio di effettuare somme di segnali in corrente e non, come per i sistemi noti, in tensione. In questo modo si evita l'utilizzo di amplificatori che peggiorano la dinamica e la precisione del sistema nel suo complesso e non si devono neppure introdurre resistenze aggiuntive per realizzare una somma di tipo passivo che complicano il sistema.

10 Per un corretto funzionamento dei moduli VRM 1 in parallelo di un sistema a multi-processore occorre però prevedere una opportuna sincronizzazione fra gli stessi moduli.

Vantaggiosamente secondo l'invenzione viene illustrato di seguito un metodo di sincronizzazione di una pluralità di moduli VRM
15 in un sistema a multi-processore basato sull'utilizzo del livello di tensione presente sul bus comune 5 di current sharing, nonché un circuito di sincronizzazione utilizzante lo stesso.

In particolare, l'intervallo di una tensione VBUS prevedibile per il bus comune 5 viene suddiviso in differenti sotto-intervalli,
20 corrispondenti alle differenti condizioni di funzionamento del sistema multi-processore, come schematicamente illustrato in Figura 4.

In Figura 5 è invece schematicamente illustrato un esempio di realizzazione di un circuito di sincronizzazione 12 secondo l'invenzione collegato al bus comune 5 di current sharing per monitorare la tensione
25 presente su di esso.



Il circuito di sincronizzazione 12 comprende essenzialmente un comparatore "alto" 13 ed un comparatore "basso" 14 aventi rispettivamente una soglia di scatto alta V_{thH} ed una soglia di scatto bassa V_{thL} ed è integrato in ogni singolo modulo VRM 1.

5 In particolare, l'intervallo di tensioni per il bus comune 5 viene quindi suddiviso in un primo sotto-intervallo (I) per valori inferiori alla soglia di scatto bassa V_{thL} , in un secondo sotto-intervallo (II) per valori compresi tra la soglia di scatto bassa V_{thL} e la soglia di scatto alta V_{thH} ed un terzo sotto-intervallo (III) per valori superiori alla soglia di scatto
10 alta V_{thH} , vale a dire:

(I) $VBUS < V_{thL}$

(II) $V_{thL} < VBUS < V_{thH}$

(III) $VBUS > V_{thH}$

E' opportuno notare che sono previste anche una prima (A) ed
15 una seconda zona di transizione (B) che tengono conto di opportune tolleranze in tali valori della tensione di bus VBUS.

Come sarà più chiaro nel seguito della descrizione, tali sotto-intervalli corrispondono a differenti condizioni di funzionamento dei moduli VRM1 ed in particolare:

20 (I) condizioni di sovraccarico OCP, di cortocircuito HICCUP, o di sovratensione OVP;

(II) condizioni di funzionamento normale;

(III) fase di StartUp

Vediamo ora il metodo di sincronizzazione secondo
25 l'invenzione nelle differenti condizioni di funzionamento.

1. Nella condizione iniziale, o StartUp, i diversi moduli VRM 1 in parallelo possono iniziare la procedura di accensione graduale o SoftStart in tempi diversi a causa dei ritardi tra i tempi di salita dei rispettivi riferimenti di alimentazione e ai disallineamenti (mismatch) interni.

Senza un sincronismo fra le rampe di salita in tensione sul bus comune 5 durante la fase di SoftStart, un modulo potrebbe iniziare la fase di accensione prima degli altri con la conseguenza di avere una elevata corrente di ricircolo negli altri moduli ritardatari.

Vantaggiosamente secondo l'invenzione si prevede di portare alta una linea CSBUS del bus comune 5, vale a dire di portare la tensione VBUS al di sopra della soglia di scatto alta V_{thH} del comparatore "alto" 13 sincronizzando le fasi di SoftStart della pluralità di moduli VRM 1 nel seguente modo:

- ogni modulo VRM 1, prima di iniziare la fase di SoftStart, porta alta la linea interna corrispondente alla prima tensione di controllo locale o di local share V_{ls1} , vale a dire la porta ad una tensione superiore alla soglia di scatto alta V_{thH} ;

- poiché la tensione VBUS sul bus comune 5 è pari alla media delle tensioni di controllo locale V_{ls1} , la linea CSBUS andrà alta ($VBUS > V_{thH}$) solo quando tutti i moduli VRM 1 in parallelo sono pronti ad iniziare la fase di SoftStart; il verificarsi di questo evento è segnalato dal comparatore 13.

- a questo punto, sulla base della segnalazione da parte del comparatore 13, tutti i moduli VRM 1 cominciano contemporaneamente

la fase di SoftStart e nel contempo rilasciano la linea della tensione di controllo locale Vls1 permettendo al loop di current sharing di trovare un valore della tensione di controllo Vshare, come illustrato in Figura 2, compresa nell'intervallo (II) di funzionamento normalmente.

5 La fase di StartUp corrisponde quindi al terzo sotto-intervallo (III) della tensione di bus VBUS; durante tale fase il comparatore "alto" 13 risulta acceso .

2. Nella fase di sovraccarico OCP, il modulo VRM 1 che ha rilevato il sovraccarico di corrente deve trasmettere questa informazione
10 agli altri moduli VRM 1 connessi in parallelo sul bus comune 5 in modo tale da evitare che anch'essi vadano in condizioni di sovraccarico OCP, di cortocircuito HICCUP oppure che si danneggino.

Vantaggiosamente secondo l'invenzione, la trasmissione della condizione di sovraccarico OCP o di cortocircuito HICCUP da parte di
15 un modulo VRM agli altri moduli parallelati avviene forzando bassa la linea CSBUS, vale a dire portando la tensione di bus VBUS al di sotto della soglia di scatto bassa VthL. In particolare, la tensione di bus VBUS viene portata al valore di massa GND.

Per fare ciò, in presenza di un sovraccarico OCP o di una
20 condizione di cortocircuito HICCUP tutti i moduli VRM 1 innescano le usuali tecniche di protezione, dopo la segnalazione da parte del comparatore 14.

3. Se la condizione di sovraccarico OCP o di cortocircuito HICCUP è seguita da una procedura di reinizializzazione, vale a dire da
25 un tentativo di riavviamento del sistema attraverso una procedura di

SoftStart, la sincronizzazione dei vari moduli VRM 1 avviene in base alla procedura già descritta per la condizione iniziale, o StartUp.

Vantaggiosamente secondo l'invenzione, la procedura di reinizializzazione inizia quando un modulo VRM 1 in condizione di
5 sovraccarico OCP o di cortocircuito HICCUP rilascia la linea CSBUS permettendole di tornare nel range di tensione corrispondente al normale funzionamento, vale a dire tra la soglia di scatto bassa V_{thL} e la soglia di scatto alta V_{thH} .

Allo scatto dei comparatori "bassi" 14, i moduli VRM 1
10 ripartono seguendo la procedura di SoftStart e assicurando la loro sincronizzazione come visto per la procedura di StartUp.

Opzionalmente, è possibile fissare un numero di tentativi di reinizializzazione e di StartUp, dopo il quale ogni successivo tentativo risulta inutile e viene innescata la segnalazione di una condizione di
15 guasto (FAULT), come descritto nel prossimo punto.

4. Nel caso di un condizione di sovratensione OVP o di numerosi tentativi di reinizializzazione a seguito di una condizione di cortocircuito HICCUP, il modulo VRM smette di funzionare.

Tipicamente, il modulo VRM una volta entrato in questa
20 condizione vi rimane fintantoché i riferimenti di alimentazione del sistema multiprocessore in cui è contenuto non vengono abbassati e nuovamente rialzati (FAULT).

Nel caso di più moduli VRM che funzionano in parallelo, quando uno fra questi rileva una sovratensione OVP, mantenendo il suo
25 transistore di LowSide acceso, crea un cammino in parallelo al carico



della CPU. In tal modo la corrente portata dagli altri moduli VRM cresce creando una corrente non controllata che fluisce in tale transistor LowSide permanentemente acceso, nel tentativo di proteggere la CPU.

5 Vantaggiosamente secondo l'invenzione, la segnalazione di una condizione di guasto o FAULT avviene attraverso la linea di CSBUS che viene portata dal modulo in sovratensione OVP allo stesso livello di quello impiegato per segnalare la condizione di sovraccarico OCP o di cortocircuito HICCUP sopra vista, vale a dire a massa GND.

10 In questo caso, però, la linea CSBUS viene rilasciata solo dopo che i riferimenti di alimentazione vengono abbassati e nuovamente rialzati (FAULT), ovvero non è prevista una successiva fase di reinizializzazione automatica.

15 In conclusione, il sistema di gestione dei moduli VRM ed il metodo di sincronizzazione che utilizza il bus comune garantiscono l'interoperabilità dei moduli VRM e quindi il corretto funzionamento del sistema a multiprocessore che li comprende.

RIVENDICAZIONI

1. Sistema di gestione (10) di una pluralità di moduli VRM (1) associati ad una pluralità di microprocessori e collegati, in parallelo tra loro, tra un primo (VDD) ed un secondo riferimento di tensione (GND), detti moduli VRM (1) avendo terminali di uscita collegati insieme e comunicanti attraverso un medesimo bus comune (5), detto sistema di gestione (10) comprendendo almeno un amplificatore di errore (3), ricevente in ingresso un segnale di tensione di uscita (Vout) di detta pluralità di moduli VRM (1) ed una tensione di riferimento (Vref), nonché una tensione di caduta (Vdroop) ottenuta tramite una resistenza equivalente di caduta (Rdroop) che riceve un segnale di corrente d'uscita (Iout) di detta pluralità di moduli VRM (1) ed è collegata a detto bus comune (5), detto amplificatore di errore (3) effettuando il confronto di detti segnali d'ingresso per generare un segnale di tensione di controllo (Vcontrol) per detta pluralità di moduli VRM (1) caratterizzato dal fatto di comprendere almeno un controllore (4) collegato a detta resistenza equivalente di caduta (Rdroop).

2. Sistema di gestione (10) del tipo comprendente:

- almeno un primo nodo sommatore (X1) collegato a detto amplificatore d'errore (3) e a detta resistenza equivalente di caduta (Rdroop) ed atto a generare in uscita un segnale di tensione di controllo (Vcontrol) per detta pluralità di moduli VRM (1), detto primo nodo sommatore (X1) ricevendo come addendo positivo una tensione di riferimento (Vref) e come addendi negativi una tensione totale (Vtot) risultato della sommatoria effettuata da un secondo nodo sommatore

(X2) fra un segnale di tensione di uscita (Vout) di detta pluralità di moduli VRM (1) e detto secondo riferimento di tensione di alimentazione (GND), nonché una tensione di caduta (Vdroop),

- almeno una prima (Rshare1) ed una seconda resistenza di controllo (Rshare2), collegate, in serie tra loro, a detto bus comune (5) e riceventi detto segnale di corrente d'uscita (Iout); e

- un terzo nodo sommatore (X3) ricevente in ingresso, come addendo positivo una prima tensione di controllo locale (Vls1) ottenuta da detta prima resistenza di controllo (Rshare1) e come addendo negativo, una seconda tensione di controllo locale (Vls2) ottenuta da detta seconda resistenza di controllo (Rshare2); e

caratterizzato dal fatto che detto controllore (4) è collegato in ingresso a detto terzo nodo sommatore (X3) e fornisce una tensione di controllo interna (Vshare) direttamente a detta resistenza equivalente di caduta (Rdroop).

3. Sistema di gestione (10) secondo la rivendicazione 2, caratterizzato dal fatto che detto amplificatore d'errore (3) comprende un amplificatore operazionale avente un primo terminale di ingresso (I1) ricevente detta tensione di riferimento (Vref) ed un terminale di uscita (OUT) collegato in retroazione ad un secondo terminale di ingresso (I2) tramite un condensatore (C), detto secondo terminale di ingresso (I2) essendo collegato ad un nodo circuitale interno (Y), ricevente a sua volta la somma (Idroop+Ishare) tra una corrente di caduta (Idroop) e una corrente di controllo interna (Ishare), nonché detto segnale di tensione di uscita (Vout) della pluralità di moduli VRM (1) tramite una resistenza

di retroazione (Rfb), attraversata da detta somma di correnti (Idroop+Ishare).

4. Sistema di gestione (10) secondo la rivendicazione 3, caratterizzato dal fatto che detto nodo circuitale interno (Y) è collegato
5 ad un sotto-sistema di compensazione (11), a sua volta comprendente una resistenza di compensazione (Rc) ricevente la somma di detta tensione di controllo (Vshare) e di detta tensione di riferimento (Vref).

5. Sistema di gestione (10) secondo la rivendicazione 4, caratterizzato dal fatto di fornire in uscita un segnale di tensione di
10 uscita regolata pari a:

$$V_{ref} - I_{droop} \cdot R_{fb} - V_{share} \cdot R_{fb} / R_c$$

detta corrente di caduta (Idroop) essendo proporzionale al valore di detto segnale di corrente di uscita (Iout) della pluralità di moduli VRM (1), mentre detta tensione di controllo (Vshare) è
15 proporzionale al rapporto $I_{load} / (N - I_{out})$, essendo N il numero di moduli posti in parallelo nel in detta pluralità di moduli VRM (1).

6. Metodo di sincronizzazione di una pluralità di moduli VRM associati ad una pluralità di microprocessori e collegati, in parallelo tra loro, tra un primo (VDD) ed un secondo riferimento di
20 tensione (GND), detti moduli VRM (1) avendo terminali di uscita collegati ad una medesima linea di bus (CSBUS) caratterizzato dalle seguenti fasi:

- nella condizione iniziale d'accensione (StartUp, SoftStart), detta linea di bus (CSBUS) viene portata alta, vale a dire che la tensione
25 (VBUS) di detta linea di bus (CSBUS) è innalzata al di sopra di una



soglia di scatto alta (V_{thH}); mentre

- nelle condizioni di sovraccarico (OCP) e di sovratensione (OVP), un modulo VRM che ha rilevato tale condizione trasmette questa informazione agli altri moduli VRM connessi in parallelo sul bus comune (5) portando bassa detta linea (CSBUS), vale a dire che la tensione (VBUS) di detta linea di bus (CSBUS) è portata al di sotto di una soglia di scatto bassa (V_{thL}).

7. Metodo di sincronizzazione secondo la rivendicazione 6, caratterizzato dal fatto che:

- se la condizione di sovraccarico (OCP) o di cortocircuito (HICCUP) è seguita da una procedura di reinizializzazione, detto modulo VRM in condizione di sovraccarico (OCP) o di cortocircuito (HICCUP) rilascia la linea di bus (CSBUS) permettendole di tornare al normale funzionamento al di sopra di detta soglia di scatto bassa (V_{thL}) e al di sotto di detta soglia di scatto alta (V_{thH});

- e dal fatto che detta procedura di reinizializzazione è seguita da una procedura d'accensione (StartUp).

8. Metodo di sincronizzazione secondo la rivendicazione 6, caratterizzato dal fatto che, nella condizione iniziale d'accensione (StartUp, SoftStart):

- ogni modulo VRM (1), prima di iniziare la fase di accensione (SoftStart), porta alta una linea interna corrispondente ad una prima tensione di controllo locale (V_{ls1});

- essendo la tensione (VBUS) di detta linea di bus (CSBUS) pari alla media delle tensioni di controllo locale (V_{ls1}) dei moduli VRM

(1), la linea di bus (CSBUS) va alta ($VBUS > V_{thH}$) solo quando tutti i moduli VRM (1) in parallelo sono pronti ad iniziare la fase di accensione (SoftStart);

- a questo punto, tutti detti moduli VRM (1) cominciano contemporaneamente la fase di accensione (SoftStart) e nel contempo lasciano la linea della tensione di controllo locale (V_{ls1}) permettendo al loop di current sharing di funzionare normalmente con una tensione compresa tra detta soglia di scatto bassa (V_{thL}) e detta soglia di scatto alta (V_{thH}).

9. Metodo di sincronizzazione secondo la rivendicazione 6, caratterizzato dal fatto che, nelle condizioni di sovraccarico (OCP) o di cortocircuito (HICCUP) e di sovratensione (OVP), detta tensione di bus (VBUS) viene portata ad un valore pari a detto secondo riferimento di alimentazione (GND).

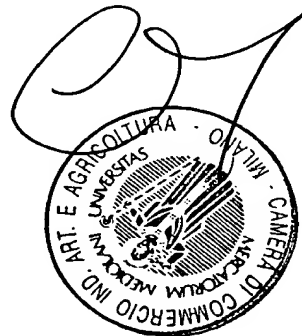
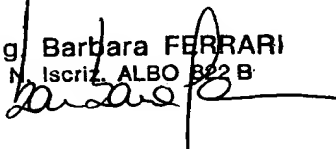
10. Metodo di sincronizzazione secondo la rivendicazione 7, caratterizzato dal fatto che dopo un numero fissato di cicli di reinizializzazione, a seguito di una condizione di sovraccarico (OCP) o di cortocircuito (HICCUP), detto modulo VRM che ha rilevato la condizione di sovraccarico (OCP) o di cortocircuito (HICCUP) mantiene la linea di bus (CSBUS) ad un valore pari a detto secondo riferimento di alimentazione (GND) fino a quando i riferimenti di alimentazione non vengono abbassati e rialzati (FAULT) e viene innescata una segnalazione di una condizione di guasto (FAULT).

11. Metodo di sincronizzazione secondo la rivendicazione 6, caratterizzato dal fatto che nella condizione di sovratensione (OVP),

detto modulo VRM rilascia detta linea di bus (CSBUS) solo dopo che i riferimento di alimentazione vengono abbassati e nuovamente rialzati (FAULT) e detta pluralità di moduli VRM inizia nuovamente una fase di accensione (StartUp).

- 5 12. Circuito di sincronizzazione (12) integrato in una pluralità di moduli VRM connessi in parallelo su un bus comune (5) caratterizzato dal fatto di comprendere essenzialmente un comparatore "alto" (13) ed un comparatore "basso" (14) collegati a detto bus comune (5) ed aventi rispettivamente una soglia di scatto alta (V_{thH}) ed una
- 10 soglia di scatto bassa (V_{thL}) in maniera da monitorare una tensione di bus (VBUS) presente su detto bus comune (5) in accordo al metodo secondo una delle rivendicazioni da 6 a 11.

Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B



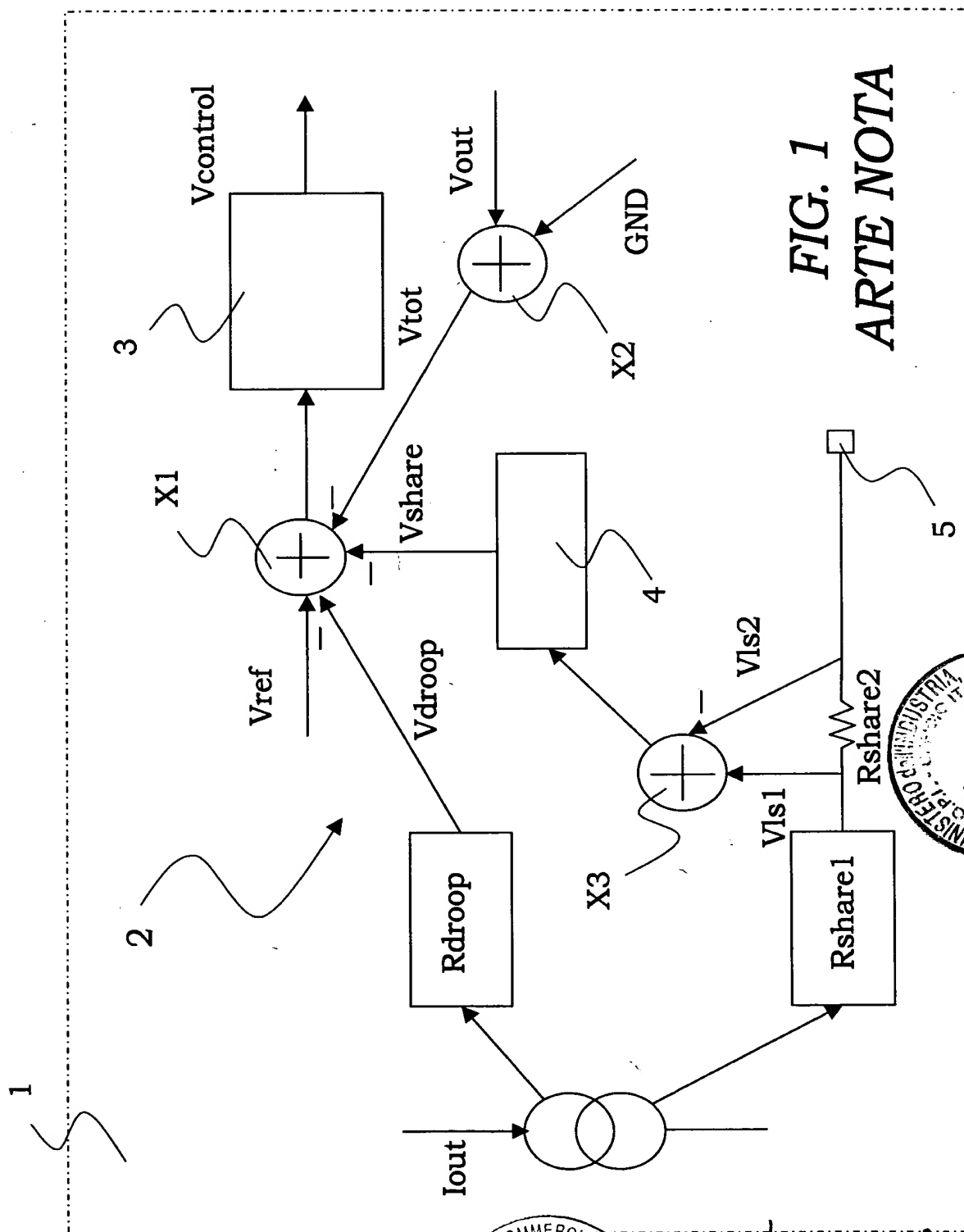
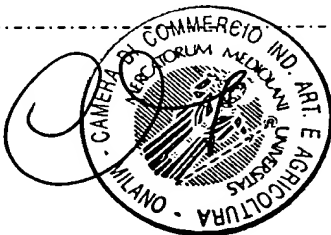


FIG. 1
ARTE NOTA



Ing. Barbara FERRARI
N. Isc. ALBO 622 B

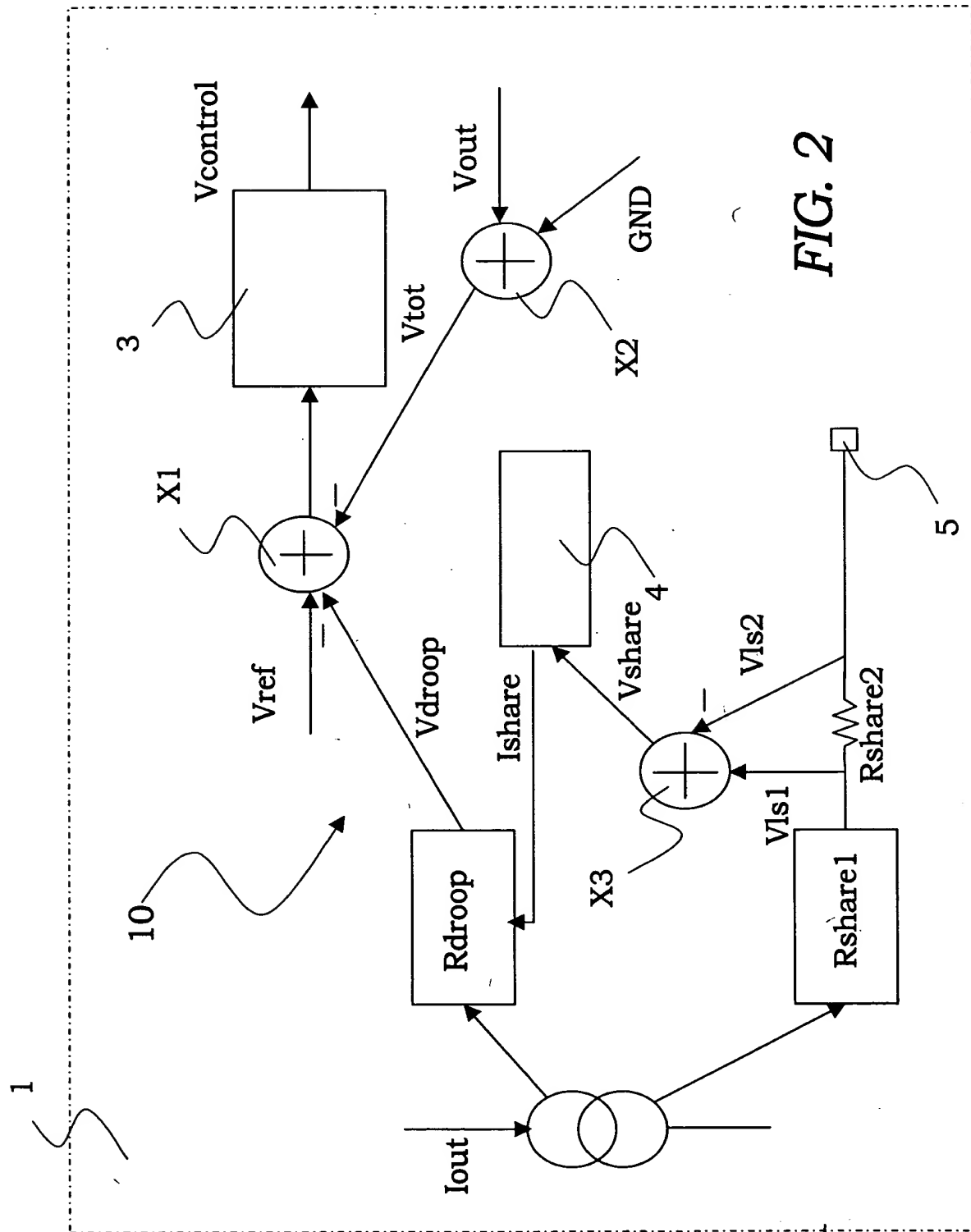


FIG. 2



Ing. Barbara FERRARI
 M. Iscriz. ALBO 822 B

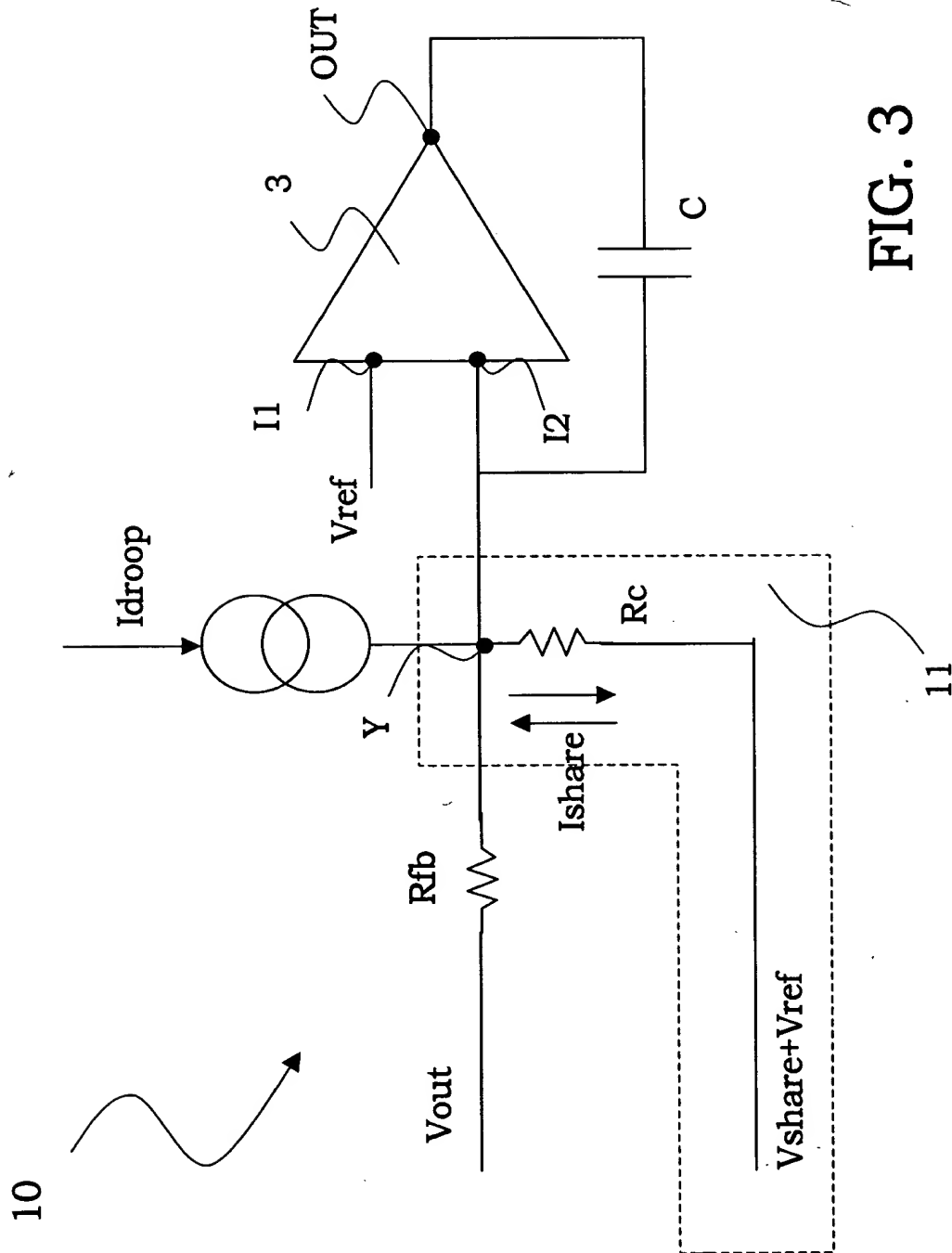
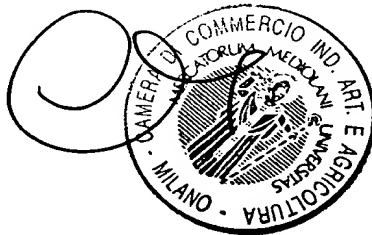


FIG. 3



Ing. Barbara FERRARI
N. Iscriz. ALBO 922 B

Barbara Ferrari

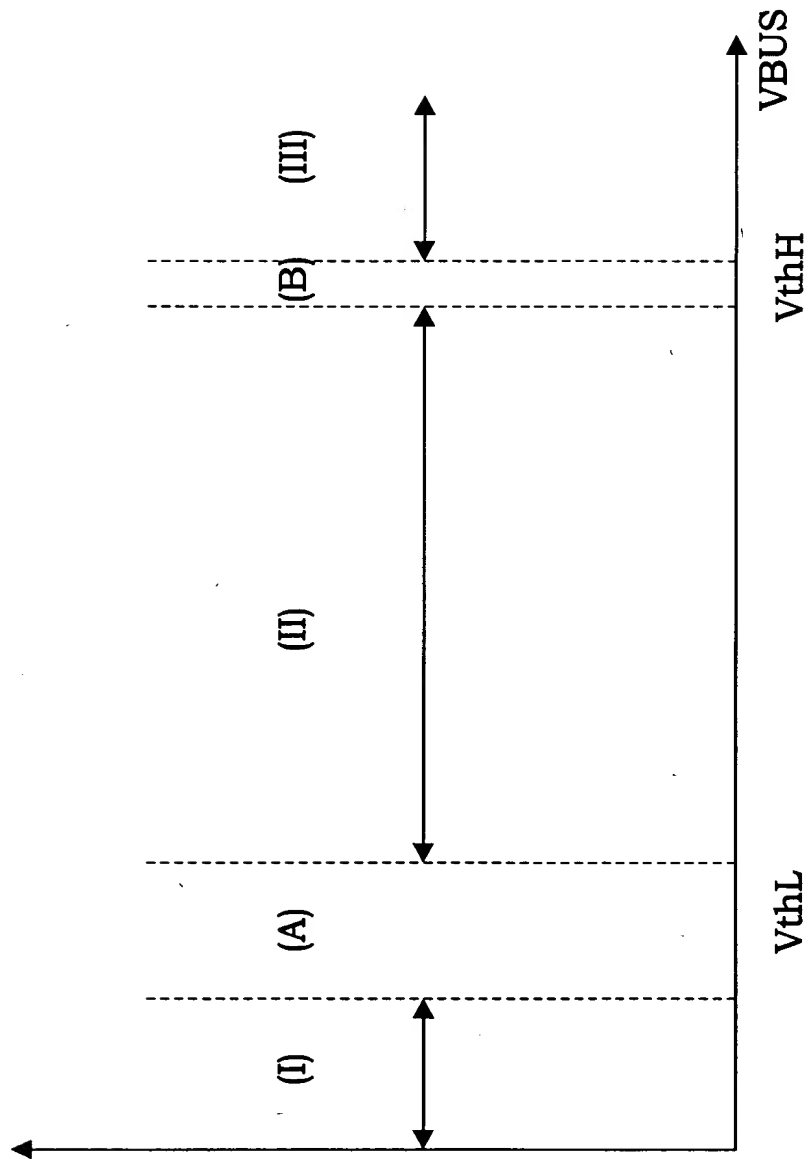
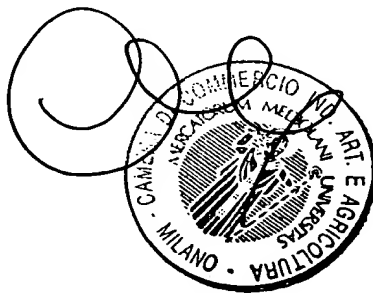


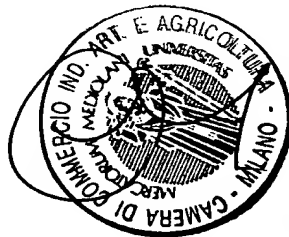
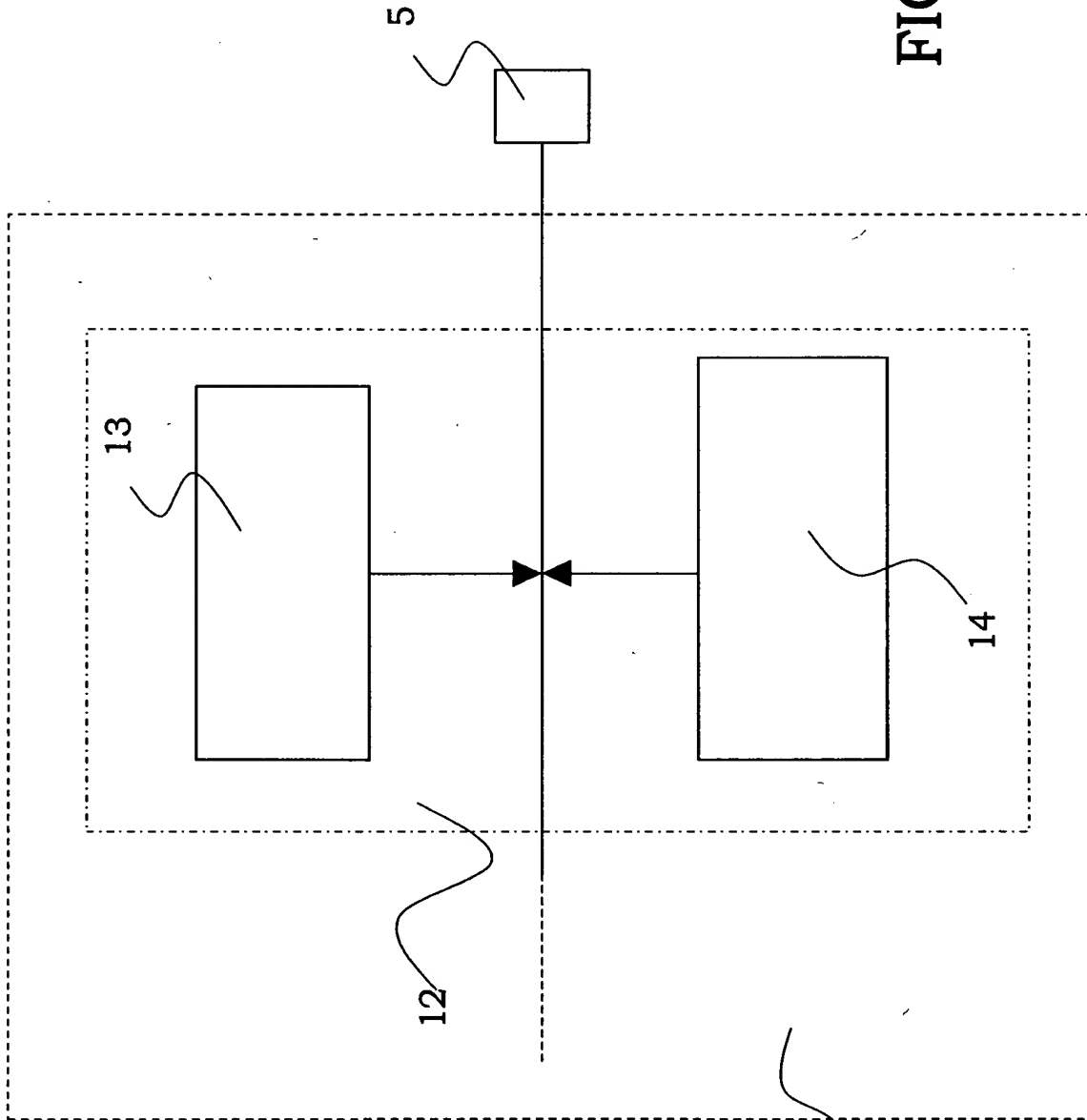
FIG. 4



Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B

Barbara Ferrari

FIG. 5



Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B

Barbara Ferrari